



图3 电压基准源的电源抑制比测试结果

2014年度IEEE-CICC (Custom Integrated Circuits Conference) 会议于近期在美国加利福尼亚州圣何西市举行。CICC 会议是IC设计领域最重要会议之一，从1988年开始每年举办一次，会议内容涉及集成电路设计、仿真、制造，MEMS、生物电子等方面。中国科学院电子学研究所可编程芯片与系统研究室团队在高电源抑制比电压基准源设计技术方面取得突破，并在会议上报道了A -115dB PSRR CMOS Bandgap Reference With a Novel Voltage Self-Regulating Technique。

基准电压源是高速数模混合芯片中非常重要的一个模块，基准电压的稳定性直接影响了整个系统的性能。面对数模混合系统中复杂的噪声环境，基准源必须拥有较高的电源抑制比，才能为高速数模混合芯片提供稳定的电压参考。传统高电源抑制比基准源设计中，采用LDO (低压差线性稳压器) 为基准源提供局部稳定电源来提高基准源的电源抑制比。

尽管这种方式简单实用，但需要使用额外的运算放大器，功耗高、面积大。然而，随着可穿戴设备以及移动设备的兴起，SoC系统变的更为复杂，更多的高速数字电路、RF电路、开关电容电路集成在同一块硅片上，模拟电路不仅需要面对更多的高频噪声干扰，而且对功耗以及面积的需求更加严苛。这对基准源电路的设计带来了一项新的挑战——如何在低功耗和小面积的情况下实现大带宽范围内的高电源抑制比。

鉴于上述难点，该论文提出了一种新型自稳压技术，在不使用滤波电容、LDO以及运算放大器的情况下实现了一款高电源抑制比的基准源。采用新型自稳压电路为基准源提供局部电源，在低功耗和小面积的情况下有效的提高了基准源的低/高频电源抑制比。

基于新型自稳压技术的电压基准原理图如图1所示。自稳压技术先将电源的电压波动转换为电流，然后通过低阻支路 (图1中阴影部分所示) 旁路到地，从而得到一个干净的局部电源。该技术摒弃了传统使用LDO的方法，极大的节约了功耗和面积，并且对电源噪声的抑制效果显著。该自稳压技术亦可用于提高其他电源噪声敏感电路的电源抑制比 (如比较器、运算放大器等)。

整体电路采用0.18 μm 标准CMOS工艺设计实现，芯片照片如图2所示。基准源电源抑制比测试结果如图3所示，电源抑制比在低频时达-115dB，在10MHz处达-90dB，测试结果优于其他同类型文献。

原文地址：<http://www.china-nengyuan.com/tech/68293.html>